

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月 2日

出 願 番 号

Application Number:

特願2000-302277

出 願 人

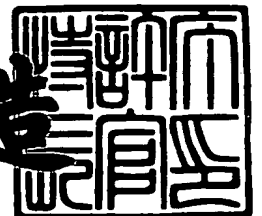
Applicant(s):

松下電器産業株式会社

2001年 7月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3063948

【書類名】 特許願

【整理番号】 R4552

【提出日】 平成12年10月 2日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/308
H01L 21/77

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 玉置 徳彦

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 川嶋 光一

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 桜井 康雄

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100095555

【弁理士】

【氏名又は名称】 池内 寛幸

【電話番号】 06-6361-9334

【選任した代理人】

【識別番号】 100076576

【弁理士】

【氏名又は名称】 佐藤 公博

【選任した代理人】

【識別番号】 100107641

【弁理士】

【氏名又は名称】 鎌田 耕一

【選任した代理人】

【識別番号】 100110397

【弁理士】

【氏名又は名称】 厩丘 圭司

【選任した代理人】

【識別番号】 100115255

【弁理士】

【氏名又は名称】 辻丸 光一郎

【選任した代理人】

【識別番号】 100115152

【弁理士】

【氏名又は名称】 黒田 茂

【手数料の表示】

【予納台帳番号】 012162

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0005964

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路およびその製造方法

【特許請求の範囲】

【請求項 1】 線状パターンで構成されるパターンレイヤを有する半導体集積回路であって、メモリー回路を構成する回路パターンと同一もしくはそれ以下の単位面積当たりの周辺長を有するように形成されたダミーパターンを備えたことを特徴とする半導体集積回路。

【請求項 2】 線状パターンで構成されるパターンレイヤを有し、メモリー回路が形成された第 1 回路領域、および前記メモリー回路以外の回路が形成された第 2 回路領域を含む半導体集積回路であって、前記メモリー回路を構成する回路パターンと同一もしくはそれ以下の単位面積当たりの周辺長を有するように形成されたダミーパターンを備えたことを特徴とする半導体集積回路。

【請求項 3】 前記ダミーパターンは、前記メモリー回路を構成する回路パターンに対して 70%～100%の単位面積当たりの周辺長を有することを特徴とする請求項 1 または 2 記載の半導体集積回路。

【請求項 4】 前記ダミーパターンは短冊状のパターンであることを特徴とする、請求項 1 から 3 のいずれか一項記載の半導体集積回路。

【請求項 5】 半導体基板上の一部に複数の回路パターン領域を露光する工程と、前記半導体基板上の他の部分に複数のダミーパターン領域を露光する工程とを含み、前記半導体基板全体における平均単位面積当たりのパターン周辺長が、メモリー回路を構成する回路パターンと同一もしくはそれ以下の単位面積当たりのパターン周辺長となるように、前記回路パターン領域露光工程と前記ダミーパターン領域露光工程における露光ショット数の比を調整することを特徴とする半導体集積回路の製造方法。

【請求項 6】 半導体集積回路を構成する回路パターンの単位面積当たりの周辺長に応じて、前記回路パターンの寸法が所定の値になるように、ドライエッチング条件を調整してドライエッチング工程を実行することを特徴とする半導体集積回路の製造方法。

【請求項 7】 半導体集積回路を構成する回路パターンの単位面積当たりの周

辺長に応じて、前記回路パターンの寸法が所定の値になるように、ドライエッチング工程で用いるフォトリソットの寸法を調整してフォトリソグラフィ工程を実行することを特徴とする半導体集積回路の製造方法。

【請求項 8】 前記ドライエッチング工程において、所定の範囲の単位面積当たりの周辺長に応じて、1つのドライエッチング条件を設定することを特徴とする請求項 6 または 7 記載の半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造方法に関し、特に、MOS型トランジスタのゲート電極・配線、メタル配線等の主に線状のパターンを形成するレイヤーの微細加工において、加工寸法をマスクパターンレイアウトに依存せず一定にするための技術に関する。

【0002】

【従来の技術】

DRAM、SRAM、ROM等のメモリーデバイスの、1個の半導体チップへの搭載率が用途や仕様により異なるシステムLSIをはじめとする半導体集積回路の製造工程においては、単にユニット回路の繰り返し配列だけではなく、様々なレイアウトされたマスクパターンを加工することが求められる。

【0003】

従来より、マスクレイアウト、すなわち素子パターンの配置の仕方によって、加工後のパターン形状や寸法が変化することが知られていた。

【0004】

その一例としては、フォトリソ工程におけるレジストパターン形成時のパターン近接効果がある。これは、同一パターンであっても、隣接するパターンがどの程度接近しているか、あるいは隣接するパターンがどのような形状をしているかなどによって、パターン形状・寸法が異なってくるものである。

【0005】

また、他の例としては、ドライエッチング工程におけるローディング効果やマ

マイクロローディング効果があげられる。ローディング効果は、半導体チップ上の全被エッチング面積の大小にエッチングレートが依存することが主要な部分であり、それが若干パターン寸法変動に影響することもある。マイクロローディング効果は、同一の半導体チップ内部にレイアウトされたパターンが場所によって配列に粗密がある場合、その粗密に依存して局所的にエッチングレートが異なるものである。したがって、全く同一のパターンであっても、疎に配列された箇所と密に配列された箇所とでエッチングレートが異なり、これも間接的にパターン寸法の変動に影響を与えるものである。

【0006】

従来は、近接効果やローディング効果において、パターン寸法がレイアウトに著しく依存すると考えられるような箇所でのみ、そのような変動を補正するような設計ルールを加えることが行われていた。しかし、パターンのレイアウト依存性を回避するために、マスク上でパターンレイアウトを変更するようなことは行われず、最小寸法等の寸法に関する最初に決定した設計ルールのみに基づいて実際のマスクレイアウト設計が行われていた。

【0007】

【発明が解決しようとする課題】

しかし、近年の集積回路パターン寸法が $0.25\mu\text{m}$ 以下、特に $0.15\mu\text{m}$ 以下という微細化の進展に伴い、より高精度な寸法制御が求められるようになると、マスクパターンのレイアウトに依存する寸法ばらつきの存在が無視できなくなりつつある。

【0008】

図5は、MOS型トランジスタからなる半導体集積回路のゲート電極・配線をドライエッチング形成したときのCDロス（（ドライエッチング後のパターン寸法）－（レジストパターン寸法））の頻度分布を示したものである。これは、本発明者らが実験的に得たもので、異なるマスクレイアウトであるマスクA、マスクBを有するそれぞれ数種類の品種（半導体集積回路）について測定したものである。

【0009】

図5から、全く同一エッチング条件でパターン形成されているにもかかわらず、パターン寸法にマスク依存性が発生していることがわかる。

【0010】

特に、CMOSのロジック回路と共に、ゲート・配線が密に配列されているDRAM等のメモリーデバイスが搭載された半導体集積回路において、メモリー部の占有率によってパターン寸法が変動していた。

【0011】

さらに詳細に調べると、この現象は、上記のパターン面積に依存するローディング効果とは性質が異なり、また、図5から明らかなように、パターンの粗密など局所的な依存性を有するマイクロローディング効果とも異なり、チップ全体にわたってパターン寸法がシフトするという性質の新規な現象であるということがわかった。

【0012】

設計ルールが0.18 μ m以下となると、こうした寸法の変動が無視できなくなり、同ードライエッチング条件で加工しても、ある特定のマスクを用いた半導体集積回路の品種において、MOS型トランジスタの特性が設計仕様からずれ、動作マージンを狭くさせてしまうという問題があった。

【0013】

本発明は、以上のような問題に鑑みてなされたものであり、その目的は、MOS型トランジスタのゲート電極・配線、メタル配線等の主に線状のパターンを形成するレイヤーの微細加工において、加工寸法をマスクパターンレイアウトに依存せず一定にし、動作マージンのバラツキを解消した半導体集積回路およびその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第1半導体集積回路は、線状パターンで構成されるパターンレイヤを有する半導体集積回路であって、メモリー回路を構成する回路パターンと同一もしくはそれ以下の単位面積当たりの周辺長を有するように形成されたダミーパターンを備えたことを特徴とする。

【 0 0 1 5 】

前記の目的を達成するため、本発明に係る第 2 半導体集積回路は、線状パターンで構成されるパターンレイヤを有し、メモリー回路が形成された第 1 の回路領域、およびメモリー回路以外の回路が形成された第 2 の回路領域を含む半導体集積回路であって、メモリー回路を構成する回路パターンと同一もしくはそれ以下の単位面積当たりの周辺長を有するように形成されたダミーパターンを備えたことを特徴とする。

【 0 0 1 6 】

第 1 および第 2 の半導体集積回路において、ダミーパターンは、メモリー回路を構成する回路パターンに対して 7 0 % ~ 1 0 0 % の単位面積当たりの周辺長を有することが好ましい。また、ダミーパターンは短冊状のパターンであることが好ましい。

【 0 0 1 7 】

かかる第 1 および第 2 半導体集積回路によれば、ドライエッチングによって形成された線状パターンの C D ロス、あるいはパターン寸法は、実験的にそのパターンの単位面積当たりの周辺長に依存して変化していることが見出されたので、パターン密度すなわち単位面積当たりのパターン周辺長が最も高いメモリー回路と同一もしくはそれ以下、好ましくはそれに対して 7 0 % ~ 1 0 0 % の単位面積当たりのパターン周辺長を有するダミーパターンを空き領域に追加形成することで、集積回路の品種によりパターンレイアウトが大幅に異なっても、パターンの単位面積当たりの周辺長はそれほど変化せず、常に一定の寸法にマスクパターンを精度良くエッチング加工することが可能となり、動作マージンのバラツキを解消した半導体集積回路を実現することができる。

【 0 0 1 8 】

前記の目的を達成するため、本発明に係る半導体集積回路の第 1 製造方法は、半導体基板上の一部に複数の回路パターン領域を露光する工程と、半導体基板上の他の部分に複数のダミーパターン領域を露光する工程とを含み、半導体基板全体における平均単位面積当たりのパターン周辺長が、メモリー回路を構成する回路パターンと同一もしくはそれ以下の単位面積当たりのパターン周辺長となるよ

うに、回路パターン領域露光工程とダミーパターン領域露光工程における露光ショット数の比を調整することを特徴とする。

【 0 0 1 9 】

前記の目的を達成するため、本発明に係る半導体集積回路の第2製造方法は、半導体集積回路を構成する回路パターンの単位面積当たりの周辺長に応じて、前記回路パターンの寸法が所定の値になるように、ドライエッチング条件を調整してドライエッチング工程を実行することを特徴とする。

【 0 0 2 0 】

前記の目的を達成するため、本発明に係る半導体集積回路の第3製造方法は、半導体集積回路を構成する回路パターンの単位面積当たりの周辺長に応じて、前記回路パターンの寸法が所定の値になるように、ドライエッチング工程で用いるフォトリソグラフィー工程を実行することを特徴とする。

【 0 0 2 1 】

第2および第3製造方法では、ドライエッチング工程において、所定の範囲の単位面積当たりの周辺長に応じて、1つのドライエッチング条件を設定することが好ましい。

【 0 0 2 2 】

第1から第3製造方法によれば、回路パターンの単位面積当たりの周辺長に応じて、露光工程における回路パターンとダミーパターンの露光ショット数比の設定、フォトリソ工程におけるフォトリソ寸法の調整、またはドライエッチング工程におけるエッチング条件の調整を行うことで、MOS型トランジスタのゲート電極・配線パターンや、メタル配線パターンの加工寸法をマスクパターンレイアウトに依存せず一定にし、動作マージンのバラツキを解消することができる。

【 0 0 2 3 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

【 0 0 2 4 】

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態による半導体集積回路のマスキレイアウトの一例を示す図である。この半導体集積回路は、ロジック回路と RAM や ROM をチップの一部に搭載している。

【 0 0 2 5 】

図 1 において、半導体集積回路のマスキレイアウトは、MOS 型トランジスタの活性領域パターン 1 と、ロジック部におけるゲート電極パターン 2 と、活性領域パターン 1 とゲート電極パターン 2 の空き領域に配置された短冊状あるいは線状のゲート電極ダミーパターン 3 とからなる。図 1 では、ゲート電極ダミーパターン 3 を破線で囲んで示している。

【 0 0 2 6 】

このようにマスキレイアウトを構成したのは、以下のような事実に基づく。

【 0 0 2 7 】

本発明者らがゲート電極パターン 2 のマスキレイアウトによるドライエッチング後のパターン寸法依存性を調べた結果、寸法がゲート電極の周辺長に依存するものであることを見出した。

【 0 0 2 8 】

図 6 は、上記したゲート電極パターン 2 に関する CD ロスのゲート電極周辺長依存性を示すグラフである。図 6 のグラフにおいて、横軸にとった単位面積当たりのゲート電極周辺長とは、少なくともある回路領域上の全周辺長をその回路領域の面積で割った値を意味する。上記回路領域はチップ面積でもよい。

【 0 0 2 9 】

ここで、このような CD ロスの依存性についての現象を説明する。前述したように、加工寸法の品種依存性はレジスト寸法から仕上り寸法の差分である CD ロスで発生している。現在のドライエッチ工程では、サイドエッチを防止し、異方性ドライエッチを達成するために、パターンの側壁保護効果を有する堆積性のエッチングガスあるいはエッチングによる生成物が側壁保護効果を有することを利用している。

【 0 0 3 0 】

例えば、ポリシリコンからなるゲート電極のエッチングにおいては、塩素系ガスに加えてHBrガスがよく用いられるが、これはHBrとポリシリコンとの反応生成物である SiBr_4 は、揮発性が低く側壁保護膜として作用するためである。アルミ配線のエッチングにおいても、最近では CHF_3 ガスが添加ガスとして良く用いられる。フッ素系ガスはアルミ配線のエッチングには寄与せず、この CHF_3 ガスは側壁保護膜を形成するために添加された堆積性のガスである。

【0031】

側壁保護により加工形状を制御している以上、保護しなければならないエッチング側壁面積、あるいはエッチングパターン周辺長が増加すれば、単位側壁面積あるいは単位面積当たりの周辺長側壁保護効果が減少するのは、それだけ保護効果を有する物質の供給が減少するので当然である。図6は、様々な回路品種におけるゲート電極周辺長とCDロスとの関係を図示したものであるが、単位面積当たりのゲート電極周辺長が増加すると寸法が細り、逆にゲート電極周辺長が減少すると寸法が太るのは、側壁保護効果の度合いがゲート電極周辺長に左右されるのが原因である。

【0032】

以上、図6に示すように、CDロスはゲート電極の周辺長が大きくなるに従って正の値から負の値に単調に変化していくが、マスクレイアウトによってCDロスが変化しないようにするためには、マスクレイアウトに係わらずチップ上の平均単位面積当たりのゲート電極周辺長をある程度大きい一定の値とし、固定すればよい。こうすることによって、単位面積当たりのゲート電極周辺長が大きく、チップ全体としての平均周辺長を大きく左右するメモリー部など、特定の回路のチップ内における占有面積が変動しても、チップ全体における平均単位面積当たりのゲート電極周辺長が変動することが少なくなる。具体的には、図1に示したように、短冊状のゲート電極ダミーパターン3を空き領域に追加することにした。

【0033】

このように、短冊状のゲート電極ダミーパターン3をパターンの空き領域に配置することにすれば、チップ面積を増大させることなく、ゲート電極周辺長を増

加させることが可能である。図 1 に示した半導体集積回路では、単位面積当たりのゲート電極周辺長を、図 2 に示すゲート電極ダミーパターン 3 を配置前の半導体集積回路における 500 mm/mm^2 から 1600 mm/mm^2 へと増加させた。

【 0 0 3 4 】

図 1 のマスキレイアウト例の半導体集積回路では、ゲート電極パターン 2 が密集している DRAM や ROM の搭載率が小さく、単位面積当たりのゲート電極周辺長が小さかったため、他の DRAM や ROM の搭載率が大きい回路品種のマスキレイアウトとゲート電極周辺長を近づけるため、多数のゲート電極ダミーパターン 3 を配置し、単位面積当たりのゲート電極周辺長を 1600 mm/mm^2 と大幅に増加させる必要があった。

【 0 0 3 5 】

システム L S I では、ゲート電極パターン 2 が密集している DRAM や ROM の搭載率が品種によって大きく異なっているが、原則的には、メモリー回路と同一もしくはそれ以下、好ましくはその 7 0 % までの単位面積当たりのゲート電極周辺長を有するゲート電極ダミーパターン 3 を追加すれば、パターン寸法変動を十分に抑制することができる。

【 0 0 3 6 】

しかしながら、実際には、システム L S I の内、メモリー回路の搭載率の大きいものでは占有面積が 4 0 % である。これ以上大きくなると、システム L S I というよりも汎用のメモリーデバイスと見なされるものになる。したがって、メモリー回路の占有面積が 4 0 % である半導体集積回路において、メモリー回路に対して、単位面積当たりのゲート電極周辺長が 7 0 % から 1 0 0 % の範囲で短冊状のゲート電極ダミーパターン 3 を挿入することが望ましい。

【 0 0 3 7 】

図 1 においては、短冊状のゲート電極ダミーパターン 3 を挿入し、ゲート電極のチップ上平均単位面積当たりの周辺長を $1600 \sim 2000 \text{ mm/mm}^2$ の範囲に制限することによって、ゲート電極エッチング形成時の C D ロスを $0 \sim 0.003 \mu\text{m}$ と、寸法測定やレチクル製造などによる誤差範囲内に抑えることが可

能となった。ここで、単位面積当たりのゲート電極周辺長が 2000 mm/mm^2 という値は、ゲート電極パターン 2 が密集している DRAM や ROM の搭載率が最も高い半導体集積回路を想定した場合の値である。

【0038】

なお、本実施形態におけるゲート電極のポリシリコン加工においては平行平板型 RIE（リアクティブ・イオン・エッチング）装置を用い、メインドライエッチング条件として、 Cl_2 ガス流量を 0.04 SLM （Standard Litter per Minute）、HBr ガス流量を 0.08 SLM 、圧力を 20 Pa 、RF パワーを 300 W とした。

【0039】

（第 2 実施形態）

本発明の第 2 実施形態では、マスクレイアウトに起因するパターン変動を抑制する別の方法について説明する。

【0040】

図 3 は、半導体集積回路におけるポリシリコンゲート電極パターンを形成するリソグラフィー工程におけるレチクルパターン露光ショットマップを示したものである。

【0041】

この方法では、半導体集積回路のマスクパターンを形成する露光ショット（X）領域と、単に短冊状のダミーパターンを敷き詰めたマスクパターンを形成するダミー露光ショット（Y）とのウエハ上のショット数比を調整することによって、ウエハ基板上で平均した単位面積当たりのゲート電極周辺長を、半導体集積回路のマスクパターンレイアウトに依存しない一定の範囲に抑えることが可能となる。

【0042】

図 3 に示すように、本実施形態では、共に $0.2\text{ }\mu\text{m}$ のラインとスペースからなる短冊状のダミーパターンを敷き詰めたダミーのマスクパターンを集積回路マスクとは別に用いているため、第 1 実施形態よりも、ウエハ全体としての平均周辺長をより大きくすることが可能である。

【 0 0 4 3 】

上記のダミーパターンのみでは、単位面積当たりのゲート電極周辺長を 5000 mm/mm^2 とすることができ、ダミーパターンを形成しない場合、集積回路の単位面積当たりのゲート電極周辺長は 500 mm/mm^2 であるため、最終的な単位面積当たりのゲート電極周辺長を、第 1 実施形態と同じく $1600 \sim 2000 \text{ mm/mm}^2$ の範囲にするためには、必要なダミー露光ショットのウエハに占める面積割合 A は、

$$1600 \leq 5000 * A + 500 * (1 - A) \leq 2000$$

の関係式から、

$$0.244 \leq A \leq 0.333$$

となる。これにより、約 24.5% 以上の面積割合でダミー露光ショットを配置する必要があることになる。これを具体化したのが図 3 であり、ウエハの $3/4$ を回路マスク露光ショット (X)、残り $1/4$ (25%) をダミー露光ショット (Y) の割合いとしている。

【 0 0 4 4 】

以上は一例であるが、この場合も、半導体集積回路に搭載するメモリー回路の単位面積当たりのゲート電極周辺長からその 70% の間、もしくはメモリー回路の占有面積が 40% である半導体集積回路において、メモリー回路の単位面積当たりのゲート電極周辺長からその 70% の範囲に収まるように、回路マスク露光ショット数とダミー露光ショットとの割合を決めることが望ましい。

【 0 0 4 5 】

(第 3 実施形態)

本発明の第 3 実施形態では、ゲート電極・配線のパターン形成用ドライエッチング条件を選択することによって、半導体集積回路のマスクパターンレイアウトによる加工寸法依存性を抑制する方法について説明する。

【 0 0 4 6 】

図 4 は、様々なレイアウトの回路が組み込まれたある半導体集積回路において、ポリシリコンゲート電極パターンをドライエッチング形成した時に、チップ平均単位面積当たりのゲート電極周辺長をパラメータ ($S1 : 600 \text{ mm/mm}^2$)

、 $S2:1000\text{ mm/mm}^2$ 、 $S3:1400\text{ mm/mm}^2$ 、 $S4:1800\text{ mm/mm}^2$)として、ドライエッチング用ガス流量と、パターンのCDロスとの関係を実験で求めたグラフである。図4において、ドライエッチングに使用されるガスは、 HBr 、 Cl_2 と He 等の冷却ガスとの混合ガスであり、そのうち、 HBr のガス流量を可変としたものである。

【0047】

図4から分かるように、単位面積当たりのゲート電極各周辺長に対してCDロスはそれぞれ依存して異なるが、 HBr ガス流量を変えていくと、ある流量でCDロスをほぼゼロにすることができる。

【0048】

従って、本実施形態による製造方法では、予め、特定の半導体集積回路パターンの平均単位面積当たりのゲート電極周辺長を求めておくと同時に、図4に示すようなCDロスとドライエッチング条件との関係を実験的に求め、求めた単位面積当たりのゲート電極周辺長で、CDロスが設計上許容される実質的にゼロとなるような条件、すなわち、設計上決定された所定のパターン寸法となるような条件を選択してドライエッチングを行うものである。

【0049】

原則的には以上のようにすれば、加工すべきパターン寸法が同一であるがレイアウトが著しく異なるメモリー回路とロジック回路とを搭載した半導体集積回路での正確なパターンエッチングを、レイアウトに関わりなく実行することができる。しかし、実際には、レイアウトの異なる回路品種毎にドライエッチング条件を求めることは、条件を回路品種毎に変えなければならないので、量産性の点では好ましくない。そこで、所定の範囲の単位面積当たりのゲート電極周辺長に対して1つのドライエッチング条件を決めておけばよい。

【0050】

表1は、ポリシリコンゲート電極パターンをドライエッチング形成した時に、チップ平均単位面積当たりのゲート電極周辺長の範囲に対するドライエッチング工程の最適条件を示した表であり、単位面積当たりのゲート電極周辺長をいくつかの範囲に区切って、その所定の範囲毎に異なるドライエッチ条件（異なったH

B r ガス流量) を適用している。

【 0 0 5 1 】

〔表 1〕

ゲート電極周辺長 S (mm/mm ²)	ゲート電極 ドライエッチ レシピNo.	HBr ガス流量 (SLM)
$400 < S \leq 800$	PS1	0.05
$800 < S \leq 1200$	PS2	0.06
$1200 < S \leq 1600$	PS3	0.07
$1600 < S \leq 2000$	PS4	0.08

【 0 0 5 2 】

表 1 は、図 4 との対応関係から明らかなように、どのドライエッチ条件でも、単位面積当たりのゲート電極周辺長に対して C D ロスが一定の小さいほぼ ± 0. 0 0 2 μ m 以内に収まっており、 0. 1 μ m 以下の設計ルールデバイスであっても充分なものである。

【 0 0 5 3 】

なお、本実施形態では、ポリシリコンゲートエッチングにおいて H B r ガス流量によって C D ロスを制御したが、 T O T A L エッチングガス流量、エッチング圧力、 R F パワーを変化させることによって最適なドライエッチ条件を設定することが可能である。また、ゲートのパターニングの際に、ポリシリコン上にリソグラフィ工程での光反射防止用の有機塗布膜を使用する場合や、 C V D シリコン酸化膜等を堆積する場合、ポリシリコンゲートではなく、上記有機塗布膜や C V D シリコン酸化膜のエッチング条件を変化させることも可能である。さらに、メタル配線エッチングあるいは埋め込み配線形成時の絶縁膜エッチング等、主なパターンが線状であるレイヤーにおいても、同様の手法を採ることが可能である。

【 0 0 5 4 】

(第 4 実施形態)

パターンレイアウトに対する加工寸法依存性は、ドライエッチング条件だけでなく、フォトリソグラフィ工程によっても解決することができる。

【0055】

すでに上に述べた半導体集積回路のゲート電極パターンを形成する場合について述べると、ポリシリコンゲート電極のドライエッチング条件は、例えばHBr、Cl₂、および冷却ガスの混合ガスを用い、HBrガス流量を0.07SLMにするなど工程で使用する標準的な条件を使用する。このようにドライエッチング条件を固定すると、回路パターンレイアウトによってCDロスの値が異なることになる。

【0056】

そこで、本発明の第4実施形態では、まず、予め様々なチップ平均単位面積当たりのゲート電極周辺長とCDロスとの関係を求めておき、そのCDロス分、すなわちゲート電極周辺長に依存するパターン寸法変化を補償するように、ドライエッチングマスクであるレジストパターン寸法をフォトリソ工程条件により調整するものである。

【0057】

表2は、様々なポリシリコンゲート電極の単位面積当たりの周辺長の所定範囲に対する、CDロス(A) (図4でHBrガス流量が0.07SLMの場合)、フォトリソグラフィ工程での最適目標形成寸法(B)、および最終ドライエッチ後の設計寸法(C)を示した表である。なお、本例の場合、最終ドライエッチ後の設計寸法(C)は0.150μmとしている。ここで、 $B = A + C$ なる関係式が成立するので、この式により、表2に示した最適目標レジストパターン寸法が具体的に設定できる。

【0058】

【表 2】

ゲート電極周辺長 S (mm/mm ²)	レシピNo.PS3 でのCDロス (A) (μ m)	リソグラフィー工程 での目標寸法 (B) (μ m)	ドライエッチ後 の寸法 (C) (μ m)
400<S \leq 800	0.007	0.157	0.150
800<S \leq 1200	0.003	0.153	0.150
1200<S \leq 1600	-0.001	0.149	0.150
1600<S \leq 2000	-0.003	0.147	0.150

【0059】

本実施形態では、ドライエッチ後の目標寸法は0.150 μ mであり、ゲート電極ドライエッチレシピとして表1中のレシピNo. PS3 (HBrガス流量: 0.07SLM) を用いたものであるが、図4において、HBrガス流量が0.07SLMである場合の、単位面積当たりのゲート電極周辺長に対応するCDロスを読めば、簡単にフォトリソグラフィー工程での目標寸法を設定することができる。

【0060】

レシピNo. PS3を用いたのは、表2から明らかなように、CDロスによるリソグラフィー工程での条件調整量が、実際の半導体集積回路で実現されるほとんどの単位面積当たりのゲート電極周辺長範囲で最も少なくて済むからである。

【0061】

このように、本実施形態によれば、フォトリソグラフィー工程での目標寸法を調整することにより、CDロスを相殺することが可能となる。

【0062】

なお、以上の実施の形態においてはゲート電極加工について言及したが、アルミニウムや銅のようなメタル配線等、主に線状のパターンを形成するレイヤーの微細加工においても同様の方法で、高精度な加工を達成することができる。

【0063】

【発明の効果】

以上説明したように、本発明によれば、（a）ダミーパターンを挿入することによってパターンの単位面積当たりの周辺長に一定の制限を与える、（b）フォトリソグラフィ工程において異なるマスクパターンを用いてダミーショットを形成する、（c）マスク毎に合致するドライエッチング条件を適用する等の手法を取ることで所望のパターン寸法を得たり、（d）フォトリソグラフィ工程でのレジスト寸法を調整することにより、DRAM、SRAM及びROMの搭載率が用途／仕様により異なるシステムLSIにおいて、様々なレイアウトされたマスクパターンを精度良く加工することが可能となり、動作マージンのバラツキを解消した半導体集積回路を製造することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態による半導体集積回路のマスクレイアウトの一例を示す図

【図 2】 図 1 に示すゲート電極ダミーパターン 3 を配置する前の半導体集積回路マスクレイアウトの一例を示す図

【図 3】 ゲート電極形成時のリソグラフィ工程における露光ショットマップ

【図 4】 ゲート電極ドライエッチにおける HBr ガス流量と CD ロスとの関係を示すグラフ

【図 5】 ゲート電極ドライエッチにおける CD ロスのマスクパターン依存性を示した頻度分布図

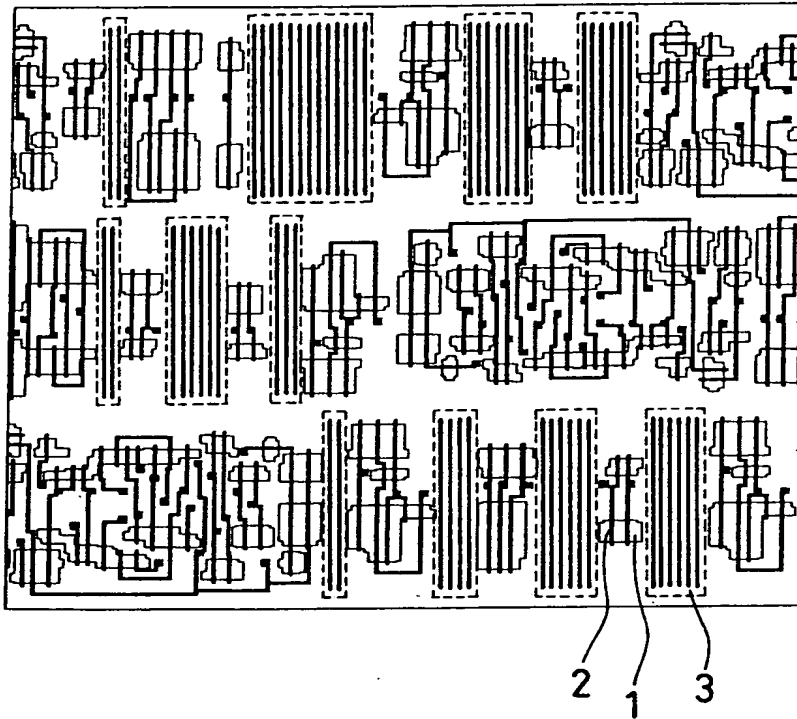
【図 6】 ゲート電極ドライエッチング工程における、CD ロスのゲート電極周辺長依存性を示す図

【符号の説明】

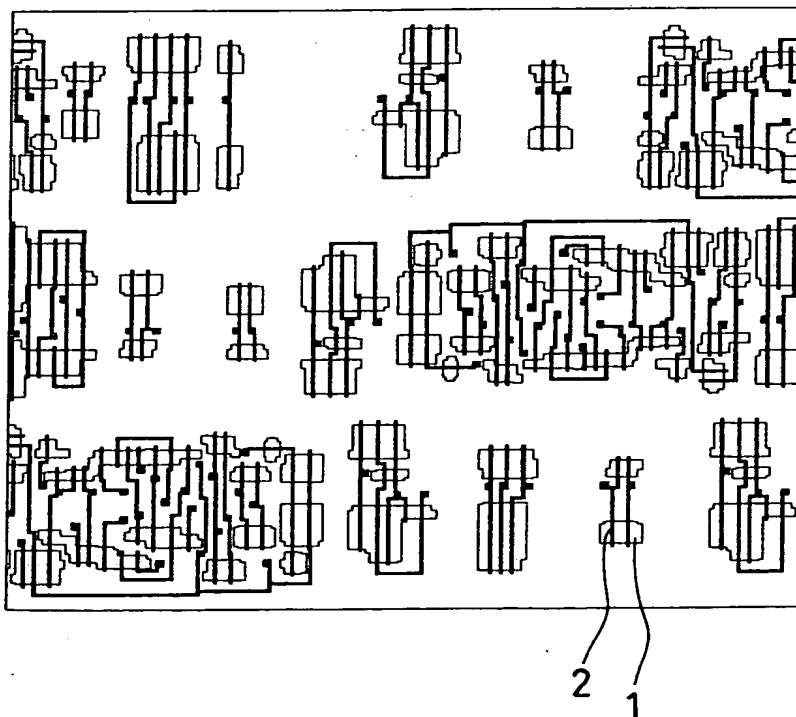
- 1 活性領域
- 2 ゲート電極パターン
- 3 ゲート電極ダミーパターン

【書類名】 図面

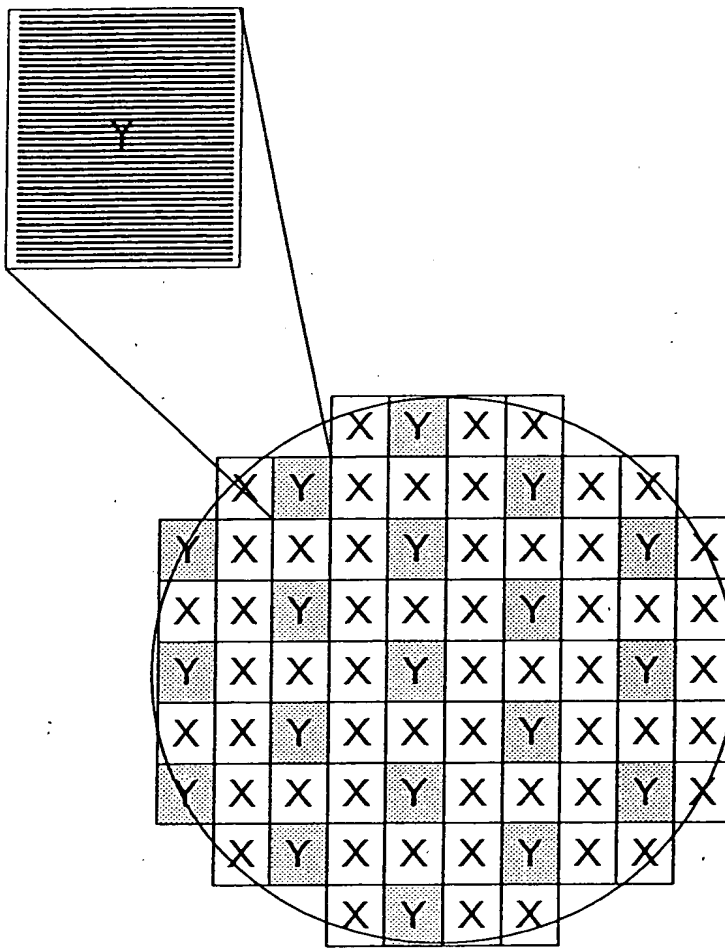
【図 1】



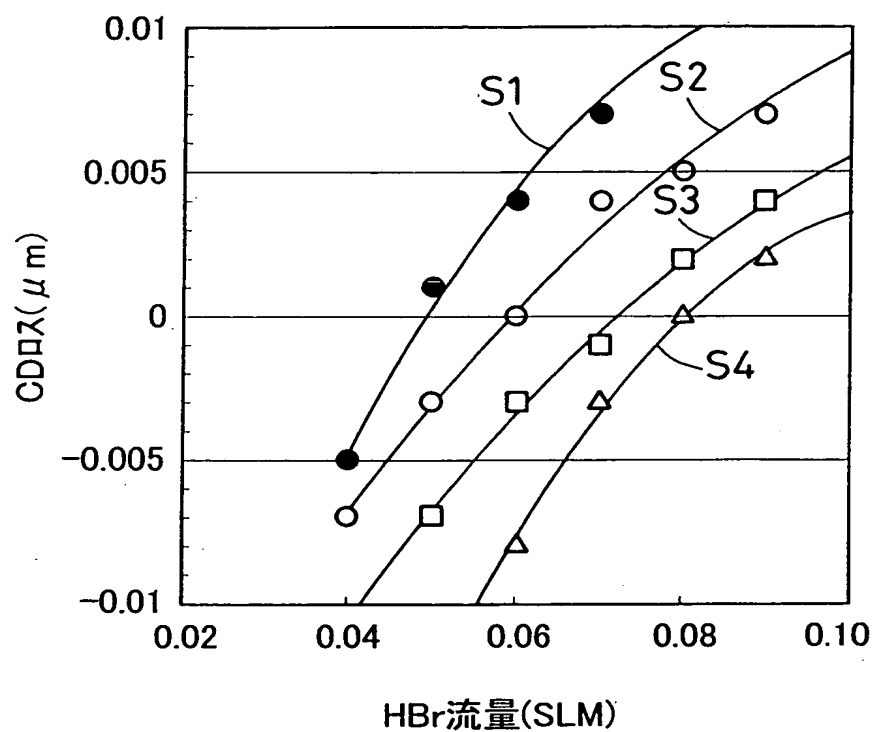
【図 2】



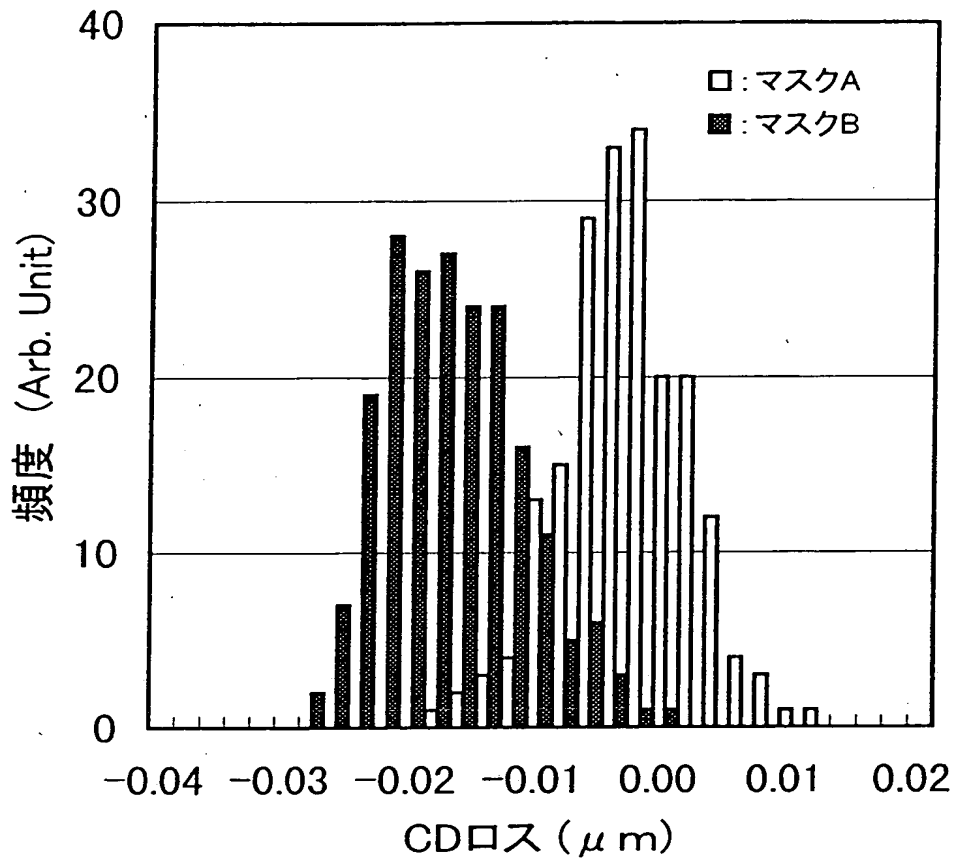
【図 3】



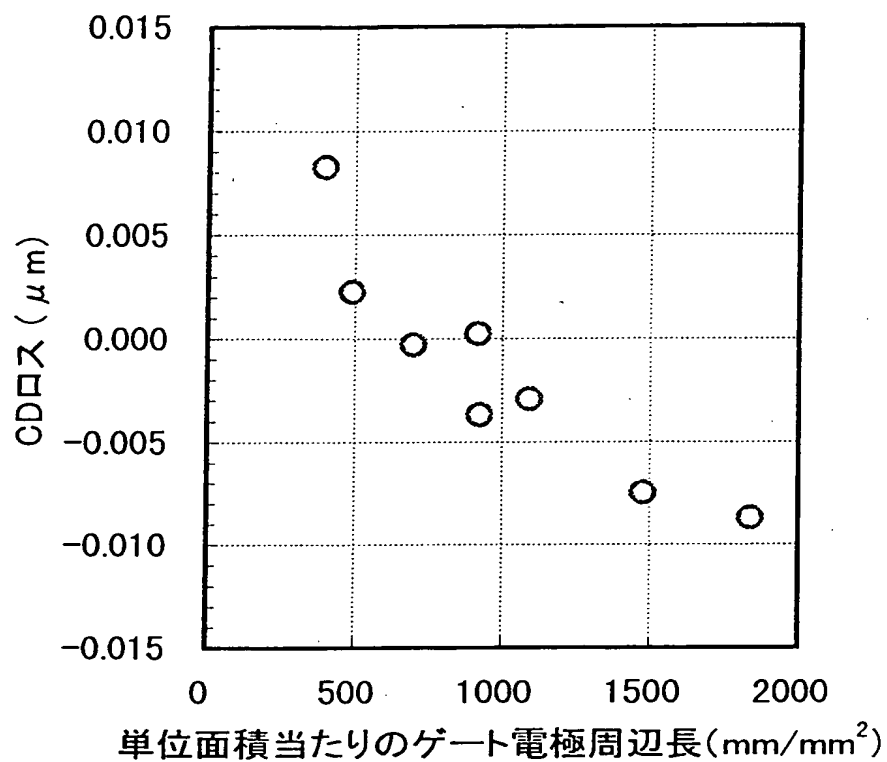
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

。【課題】 半導体集積回路において、様々にレイアウトされたマスクパターンを精度良く加工し、動作マージンのバラツキを解消する。

【解決手段】 線状パターンで構成されるパターンレイヤを有する半導体集積回路に、メモリー回路を構成するゲート電極パターン2と同一もしくはそれ以下の単位面積当たりの周辺長を有するように形成されたゲート電極ダミーパターン3を備えた。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成13年 4月26日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2000-302277

【承継人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 中村 ▲邦▼夫

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成13年 4月16日付提出の特許番号第31505
60号の一般承継による特許権の移転登録申請書に添付
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 4 3]

1. 変更年月日	1 9 9 3 年 9 月 1 日
[変更理由]	住所変更
住 所	大阪府高槻市幸町 1 番 1 号
氏 名	松下電子工業株式会社

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社